

DERWENT-ACC-NO: 1995-221783

DERWENT-WEEK: 199529

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor IC apparatus for power
supply by_pass capacitor - includes wiring which is
formed on electrode layer by metal deposition through
inter-layer insulating film

PATENT-ASSIGNEE: NIPPONDENSO CO LTD[NPDE]

PRIORITY-DATA: 1993JP-0281386 (November 10, 1993)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 07135296 A		May 23, 1995	
004	H01L 027/04		N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 07135296A	N/A	
1993JP-0281386	November 10, 1993	

INT-CL (IPC): H01L021/822, H01L027/04

ABSTRACTED-PUB-NO: JP 07135296A

BASIC-ABSTRACT:

The semiconductor IC apparatus has an insulated layer (22) formed on the semiconductor substrate (21). The semiconductor layer (23) which is considered as SOI structure is formed on the insulated layer. The semiconductor element (231) forms one part of the semiconductor layer. The

semiconductor element is separated from the electrode layer (232) by the semiconductor layer. The diffusion layer (24) is formed near the semiconductor layer through the insulated layer at the surface of the semiconductor substrate opposite the other surface of the semiconductor substrate. The electrostatic capacitor consists of the diffusion layer and the electrode layer. The wiring (261,262) are formed by metallic deposition on electrode layer through an interlayer insulating film (25) and the wiring is considered as the wiring domain.

USE/ADVANTAGE - For use in phase compensation of operational amplifier.
Enables effective use of chip area. Increases capacitance of electrostatic capacitor.

CHOSEN-DRAWING: Dwg.1/4

DERWENT-CLASS: U11 U13

EPI-CODES: U11-D03C1; U13-D01; U13-E02;

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit equipment which incorporated the bypass capacitor of for example, a power supply line, the phase compensation capacity of an operational amplifier, etc. in one.

[0002]

[Description of the Prior Art] For example, if it is in the semiconductor integrated circuit equipment which a capacitor to some extent with a large capacity is used, and is used for such a circuit portion in order to mitigate the noise generated on a power supply line, it is required that the bypass capacitor connected to such a power supply line should be incorporated in one.

[0003] Drawing 3 shows the cross-section composition at the time of including a bypass capacitor in this appearance at a semiconductor integrated circuit, and the SOI structure in which the semiconductor layer 13 was formed on the insulating layer 12 by which this semiconductor integrated circuit equipment was formed in the front face of the semiconductor substrate 11 is adopted. And it is N+ in a part of this semiconductor layer 13. It is N+ to a field, P field, and a pan. Semiconductor device 131 which carried out contiguity formation of the field A field is set up and MOSFET is constituted by forming a gate electrode with contest polysilicon etc. through the gate insulator layer 14.

[0004] Moreover, this semiconductor layer 13 is the semiconductor device field 131. As shell separation is carried out and it is set as the front face of the semiconductor substrate 11 through an insulating layer 12, it is the electrode field 132 of a capacitor. It is set up. And this electrode field 132 Upwards the insulating layer 14 for SOI structure is formed further, the polysilicon contest layer 15 is formed on this insulating layer 14, and it is the electrode field 132 of this polysilicon contest layer 15 and a semiconductor layer. In between, the bypass capacitor of for example, a power supply line is constituted.

[0005] if it is in such semiconductor integrated circuit equipment -- semiconductor device 131 Two N+ Each field to source electrode 161 And drain electrode 162 while making it taken out through the layer insulation layer 17 -- further -- this layer insulation layer 17 -- minding -- electrode field 132 and -- from the polysilicon contest layer 15 -- respectively -- terminal electrode 163 of a capacitor And 164 It is made to be drawn. It is the thing which removes the capacitor field in which polysilicon contest layer 15 grade is formed and by which wiring 18 is formed on 17 of this layer insulation layer. As shown to drawing 4 in the image view, the element field A and the capacitor field B in which a semiconductor device is formed are put in order and set up on the semiconductor substrate 11, and the wiring field C which was made to separate in the layer insulation layer 17 out of these fields A and B from the substrate 11 is set up further.

[0006] thus -- for enlarging capacity of the capacitor in the semiconductor integrated circuit equipment of the SOI structure constituted -- the area of a capacitor -- concrete -- the electrode field 132 of a capacitor, and the polysilicon contest layer 15 -- it is required that each area should be expanded Or the dielectric constant of an insulating layer 14 is made high, or this insulating layer 14 is made thin, and it is the electrode field 132. It is required to narrow the interval between both semiconductor layer 13 to constitute and polysilicon contest layer 15. Expanding the simplest capacitor area is expanding the field B of drawing 4 , and while causing expansion of semiconductor chip area inevitably, it becomes impossible however, to raise the degree of integration. Moreover, a manufacture process with new making the dielectric constant of an insulating layer 14 high, or narrowing the electrode spacing of a capacitor again is needed, and leads to complication of the manufacture process of an integrated circuit.

[0007]

[Problem(s) to be Solved by the Invention] This invention was made in view of the above points, and enables it to create easily complicating-manufacture process of semiconductor integrated circuit which bypass capacitor [of a power supply line], phase compensation capacity of operational amplifier, etc. incorporate in one, for example, was constituted ****. While enabling it to make small the degree of occupancy of the chip area especially by the capacitor structure, it is going to offer the semiconductor integrated circuit equipment which enabled it to aim at increase of the capacity of this capacitor easily.

[0008]

[Means for Solving the Problem] While the semiconductor integrated circuit equipment concerning this invention forms a semiconductor layer so that it may consider as SOI structure on the insulating layer formed on the semiconductor substrate It is that in which a diffusion layer is formed so that a capacitor may be formed in the position which counters the

aforementioned semiconductor layer through the aforementioned insulating layer of the surface section of the aforementioned semiconductor substrate through the aforementioned insulating layer between the aforementioned semiconductor layers. It enables it to make the aforementioned semiconductor layer top into the wiring field in which wiring is formed through a layer insulation film.

[0009]

[Function] Thus, in the semiconductor integrated circuit which SOI structure consisted of using the insulator layer formed on the semiconductor substrate, using a part of semiconductor layer which constitutes this SOI structure, a capacitor incorporates and, according to the semiconductor integrated circuit equipment constituted, comes to be constituted. In this case, an insulating layer intervenes between this semiconductor layer and the diffusion layer formed in the semiconductor substrate, a capacitor is constituted, and capacitor capacity can enlarge arbitrarily by expanding the area of a semiconductor layer and the area of a diffusion layer which are used here. Here, this KONTENSA is not constituted by a semiconductor layer and the diffusion layer under it, and does not participate in the structure on a semiconductor layer. Therefore, it is suitably presupposed through a layer insulation layer that it is usable as a wiring field, a capacitor is substantially constituted by the lower part of the wiring structured division, the upper part of the semiconductor layer which is the structure of a capacitor does not need to set up especially the occupancy area for a capacitor, and a big effect is demonstrated in order to lessen chip area.

[0010]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. Drawing 1 shows the cross-section structure, and an insulating layer 22 is formed in the front face of the semiconductor substrate 21. They are the semiconductor devices 231, such as MOSFET (nMOSFET), by forming the semiconductor layer 23 on this insulating layer 22, and injecting N type and a P type impurity into the portion as which this semiconductor layer 23 is specified. It is constituted and the semiconductor integrated circuit which has thin film SOI structure is formed. This semiconductor device 231 It sets and is the insulator layer 221 on the semiconductor layer 23. It minds and the gate electrode 2311 by contest polysilicon etc. is formed.

[0011] Thus, semiconductor device 231 The semiconductor layer 23 which it comes to constitute is this semiconductor device 231. It dissociates from a portion and is the electrode layer 232 further. It is made to form and is this electrode layer 232. A diffusion layer 24 is formed on the front face of the corresponding semiconductor substrate 21 of a field. Namely, electrode layer 232 by the diffusion layer 24 and the semiconductor layer 23 on this substrate 21 An opposite setup is carried out through an insulating layer 22, and it is this electrode layer 232. A capacitor comes to be constituted by the diffusion layer 24.

[0012] Electrode layer 232 by the semiconductor layer 23 which comes to constitute this capacitor here Upwards the layer insulation film 25 is formed and it is especially the electrode layer 232 on this layer insulation film 25. Since it is what is not used since a corresponding field constitutes a capacitor etc., by metal vacuum evaporation etc., wiring 261, 262, and -- can form suitably and are used as a wiring field. That is, a capacitor comes to be formed in the lower part of a wiring field.

[0013] The layer insulation film 25 is minded and it is a semiconductor device 231. They are the source from the source and a drain portion, and the drain electrode 271. And 272 It is drawn and is the electrode layer 232. It reaches and is an electrode 281 from a diffusion layer 24, respectively. And 282 It is drawn. And electrode 281 It connects with a power supply Vdd and is an electrode 282. Grounding GND It is connecting and the bypass capacitor connected to a power supply comes to be included in this semiconductor integrated circuit.

[0014] namely, the usual thin film SOI structure -- since the insulating layer 22 formed on the semiconductor substrate 21 was used as an insulator layer for constituting a capacitor, a capacitor incorporates and constitutes, without using a special manufacture process -- having -- electrode layer 232 And by expanding the area of the diffusion layer 24 on a substrate 21, capacitor capacity can be increased easily.

[0015] Since the capacitor constituted by this appearance is what can be formed in the bottom of the wiring field formed on the layer insulation film 25 here, As drawing 2 shows, a semiconductor region A and the capacitor field B are put in order and formed on a substrate 21. Furthermore, the wiring field C is formed in this capacitor field B in piles in the thickness direction, therefore it is not necessary to face attaining large capacity-ization of the capacity of a capacitor, to expand area in the range of the wiring field C, and to expand chip area for the reason. Moreover, when making the capacitor of the same capacity in a chip, reduction of chip area can be aimed at.

[0016] Thus, it faces manufacturing the semiconductor integrated circuit equipment constituted, an insulating layer is formed in both sides of the semiconductor substrate which comes to constitute the semiconductor layer 23, for example, and the semiconductor substrate which has an insulating layer to these both sides is stuck on the front face of other semiconductor substrates on which the diffusion layer was formed in surface [a part of]. And it can be henceforth made into semiconductor integrated circuit equipment with a built-in capacitor by processing a part for the structured division inserted by the insulating layer, and constituting a predetermined device.

[0017] In addition, although the case where the capacitor for a power supply bypass was made in a chip in the above-mentioned example was explained, it is constituted similarly, and it is the electrode layer 232. According to a diffusion layer 24, it can incorporate as a capacitor which constitutes the phase compensation capacity of an operational amplifier, and can be used as other capacitors suitably used all over a circuit.

[0018]

[Effect of the Invention] Since it is what can make a capacitor in a wiring field according to the semiconductor integrated circuit equipment applied to this invention as mentioned above, chip area can use effectively enough and increase of the capacity of a capacitor can be easily aimed at in this case. Therefore, a power supply bypass capacitor, the capacitor for phase compensation of an operational amplifier, etc. make effectively, and put.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135296

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 21/822		8832-4M 8832-4M	H 0 1 L 27/ 04	C A

審査請求 未請求 請求項の数1 OL (全 4 頁)

(21) 出願番号 特願平5-281386

(22) 出願日 平成5年(1993)11月10日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 大沢 雅典

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 加藤 新治

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

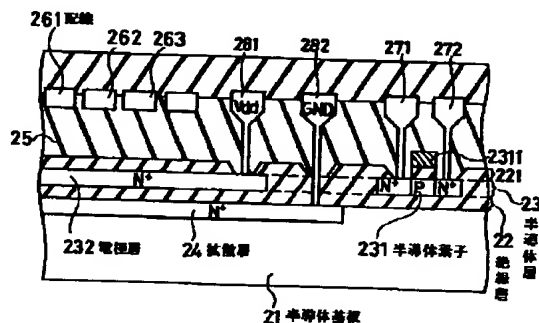
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】この発明は、チップ面積を有効に利用してコンデンサを作り込むことができるようにした半導体集積回路装置を提供することを目的とする。

【構成】半導体基板21の上に絶縁層22を介して半導体層23を形成し、SOI構造の半導体素子231が形成されるようにする。半導体素子231と分離して半導体層23による電極層232を形成し、絶縁層22を介して電極層232と対向する半導体基板21の表面に拡散層24を形成し、この拡散層24と電極層232とでコンデンサが構成されるようにする。電極層232の上には、層間絶縁層25を介して金属蒸着等により配線261、262、…が形成され、配線領域とされる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成した絶縁層と、この絶縁層上にSOI構造とされるように形成され、一部が半導体素子構造を構成するようにされて、この半導体素子構造部から分離して設定された半導体層と、前記半導体基板の表面部の前記絶縁層を介して前記半導体層に対向する位置に形成され、前記半導体層との間で前記絶縁層を介してコンデンサが形成されるようにされる拡散層とを具備し、前記半導体層の上は、層間絶縁膜を介して配線が形成される配線領域とすることができるとしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば電源ラインのバイパスコンデンサやオペアンプの位相補償容量等を一体的に組み込んだ、半導体集積回路装置に関する。

【0002】

【従来の技術】例えば電源ラインに発生するノイズを軽減するために、ある程度容量の大きいコンデンサが用いられるもので、この様な回路部分に用いられる半導体集積回路装置にあっては、この様な電源ラインに対して接続されるバイパスコンデンサを一体的に組み込むことが要求される。

【0003】図3は、この様に半導体集積回路にバイパスコンデンサを組み込んだ場合の断面構成を示すもので、この半導体集積回路装置は半導体基板11の表面に形成された絶縁層12の上に、半導体層13を形成するようにしたSOI構造が採用されている。そして、この半導体層13の一部にN⁺領域、P領域、さらにN⁺領域を隣接形成した半導体素子131の領域が設定されるもので、ゲート絶縁膜14を介してポリシリコン等によってゲート電極を形成することにより、MOSFETが構成される。

【0004】また、この半導体層13は半導体素子領域131から分離するようにして、半導体基板11の表面に絶縁層12を介して設定されるようにして、コンデンサの電極領域132が設定される。そして、この電極領域132の上にはSOI構造のための絶縁層14がさらに形成されているもので、この絶縁層14の上にポリシリコン層15が形成され、このポリシリコン層15と半導体層の電極領域132との間で、例えば電源ラインのバイパスコンデンサが構成されるようにする。

【0005】この様な半導体集積回路装置にあっては、半導体素子131の2つのN⁺領域それぞれからソース電極161およびドレイン電極162が、層間絶縁層17を介して取り出されるようにすると共に、さらにこの層間絶縁層17を介して電極領域132およびポリシリコン層15から、それぞれコンデンサの端子電極163および164が導出されるようにしている。この層間絶縁層17の上には、ポリシリコン層15等が形成されるコンデンサ領域を

外して配線18が形成されるもので、図4にそのイメージ図で示すように、半導体素子の形成される素子領域Aとコンデンサ領域Bとが半導体基板11上に並べて設定され、さらにこの領域AおよびBの外に、層間絶縁層17で基板11から分離されるようにした配線領域Cが設定される。

【0006】この様に構成されるSOI構造の半導体集積回路装置におけるコンデンサの容量を大きくするには、コンデンサの面積、具体的にはコンデンサの電極領域132およびポリシリコン層15それぞれの面積を拡大することが要求される。あるいは絶縁層14の誘電率を高くするか、この絶縁層14を薄くして電極領域132を構成する半導体層13とポリシリコン層15の両者間の間隔を狭くすることが必要である。しかし、最も単純なコンデンサ面積を拡大することは、図4の領域Bを拡大することであり、必然的に半導体チップ面積の拡大を招くと共に、その集積度を上げることができなくなる。また、絶縁層14の誘電率を高くしたりまた、コンデンサの電極間隔を狭くすることは、新規な製造プロセスが必要となり、集積回路の製造プロセスの複雑化につながる。

【0007】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、例えば電源ラインのバイパスコンデンサやオペアンプの位相補償容量等が一体的に組み込み構成されるようにした半導体集積回路の製造プロセスを複雑化することなくを容易に作成できるようにして、特にコンデンサ構造体によるチップ面積の占有度を小さくすることができるようになると共に、このコンデンサの容量の増大を容易に図ることができるようにした半導体集積回路装置を提供しようとするものである。

【0008】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、半導体基板上に形成した絶縁層上にSOI構造とされるように半導体層を形成すると共に、前記半導体基板の表面部の前記絶縁層を介して前記半導体層に対向する位置に、前記半導体層との間で前記絶縁層を介してコンデンサが形成されるように拡散層が形成されるもので、前記半導体層の上は層間絶縁膜を介して配線が形成される配線領域とすることができるとしている。

【0009】

【作用】この様に構成される半導体集積回路装置によれば、半導体基板上に形成した絶縁層を用いてSOI構造が構成されるようにした半導体集積回路において、このSOI構造を構成する半導体層の一部を用いてコンデンサが組み込み構成されるようになる。この場合、この半導体層と半導体基板に形成した拡散層との間に絶縁層が介在されてコンデンサが構成されるもので、ここで使用される半導体層の面積と拡散層の面積を拡大することにより、コンデンサ容量が任意に大きくすることができ

る。ここで、このコンデンサは半導体層とその下の拡散層とによって構成されるもので、半導体層の上の構造には関与されない。したがって、コンデンサの構造体である半導体層の上部は、層間絶縁層を介して適宜配線領域として使用可能とされるものであり、実質的に配線構造部の下部にコンデンサが構成され、コンデンサのための占有面積を特に設定する必要がなく、チップ面積を少なくするために大きな効果が発揮される。

【0010】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1はその断面構造を示しているもので、半導体基板21の表面に絶縁層22が形成される。この絶縁層22の上には半導体層23が形成されるもので、この半導体層23の特定される部分にN型およびP型不純物を注入することによって、例えばMOSFET (nMOSFET) 等の半導体素子231が構成され、薄膜SOI構造を有する半導体集積回路が形成される。この半導体素子231において、半導体層23の上の絶縁膜221を介してポリシリコン等によるゲート電極2311が形成されている。

【0011】この様に半導体素子231を構成するようになる半導体層23は、この半導体素子231部分から分離してさらに電極層232を形成するようにしているもので、この電極層232に対応する領域の半導体基板21の表面上には、拡散層24を形成する。すなわち、この基板21上の拡散層24と半導体層23による電極層232とは、絶縁層22を介して対向設定され、この電極層232と拡散層24とによってコンデンサが構成されるようになる。

【0012】ここで、このコンデンサを構成するようになる半導体層23による電極層232の上には層間絶縁膜25が形成されるもので、この層間絶縁膜25の上、特に電極層232に対応する領域はコンデンサ等を構成するために用いられないものであるために、金属蒸着等によって配線261、262、…が適宜形成できるもので、配線領域として用いられる。すなわち、配線領域の下部にコンデンサが形成されるようになる。

【0013】層間絶縁膜25を介して、半導体素子231のソースおよびドレイン部分からは、ソースおよびドレイン電極271および272が導出され、また電極層232および拡散層24からは、それぞれ電極281および282が導出される。そして、電極281は電源Vddに接続し、電極282を接地GNDに接続することで、電源に接続されるバイパスコンデンサが、この半導体集積回路に組み込まれるようになる。

【0014】すなわち、通常の薄膜SOI構造によって半導体基板21上に形成された絶縁層22をコンデンサを構成するための絶縁膜として使用するにしたので、特別の製造プロセスを用いることなくコンデンサが組み込み構成され、電極層232および基板21上の拡散層24の面積

を拡大することにより、コンデンサ容量を容易に増大することができる。

【0015】ここで、この様に構成されるコンデンサは、層間絶縁膜25上に形成される配線領域の下に形成できるものであるため、図2で示すように基板21上に半導体領域Aとコンデンサ領域Bとが並べて形成され、さらにこのコンデンサ領域Bに厚さ方向に重ねて配線領域Cが形成され、したがってコンデンサの容量の大容量化を図るに際しては、配線領域Cの範囲で面積を拡大することができ、そのためにチップ面積を拡大する必要がない。また、同じ容量のコンデンサをチップ内に作り込む場合には、チップ面積の縮小が図れる。

【0016】この様に構成される半導体集積回路装置を製造するに際しては、例えば半導体層23を構成するようになる半導体基板の両面に絶縁層を形成し、この両面に絶縁層を有する半導体基板を、表面の一部に拡散層の形成された他の半導体基板の表面に貼り合わせる。そして、以後は絶縁層で挟まれた構造部分を加工して所定のデバイスが構成されるようにすることにより、コンデンサ内蔵の半導体集積回路装置とすることができる。

【0017】なお、上記実施例においては電源バイパス用のコンデンサがチップ内に作り込まれる場合を説明したが、同様に構成され電極層232と拡散層24とによって、例えばオペアンプの位相補償容量を構成するコンデンサとして組み込むことができるものであり、他の適宜回路中で使用されるコンデンサとして使用できるものである。

【0018】

【発明の効果】以上のようにこの発明に係る半導体集積回路装置によれば、配線領域においてコンデンサを作り込むことができるものであるため、チップ面積が十分に有効に利用できるものであり、またこの場合コンデンサの容量の増大が容易に図れる。したがって、電源バイパスコンデンサやオペアンプの位相補償用コンデンサ等が有効に作り込める。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体集積回路装置を説明するための断面構成図。

【図2】上記半導体集積回路装置のイメージ構造図。

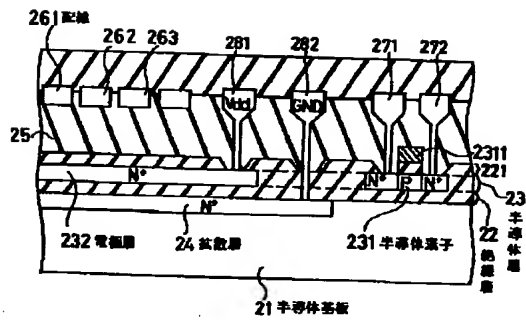
【図3】従来の半導体集積回路装置を説明する断面構成図。

【図4】上記従来の装置のイメージ構造図。

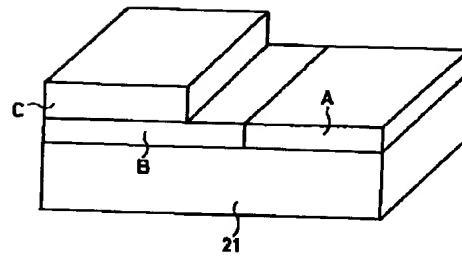
【符号の説明】

21…半導体基板、22…絶縁層、23…半導体層、231…半導体素子、232…電極層、24…拡散層、25…層間絶縁層、261、262、…配線、271、272、281、282…電極。

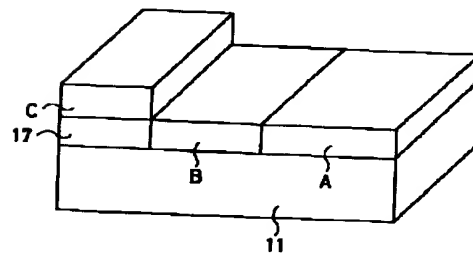
【図1】



【図2】



【例4】



【図3】

